

実用新案登録願(4)

昭和 年 55.11.18 日

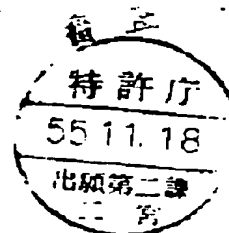
特許庁長官 島 田 春 樹 殿

1. 考案の名称 ハン ド タイ ソウ チ
半 導 体 装 置
2. 考案者住所 神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
氏名 ソノ ミチ オ
園 陸 郎
3. 実用新案登録願 出願人郵便番号 211
住所 神奈川県川崎市中原区上小田中1015番地
(522) 名 称 富 士 通 株 式 会 社
代表者 小 林 大 祐
4. 代理人 郵便番号 211
住所 神奈川県川崎市中原区上小田中1015番地
富 士 通 株 式 会 社 内
(6433) 氏 名 弁理士 松 岡 宏 四 郎
電話 川崎 044-777-1111 (内線2022)

4字訂正

5. 添附書類の目録

- | | |
|-----------|-----|
| ① 明 細 書 | 1 通 |
| ② 図 面 | 1 通 |
| ③ 委 任 状 | 1 通 |
| ④ 願 書 副 本 | 1 通 |



87544 286 55-164286 ✓

明 細 書

1. 考案の名称

半導体装置

登録

2. 実用新案請求の範囲

少なくとも2個の半導体装置を積層してなるスタック構造の半導体装置において、リードフレームに半導体素子を着設し、リードフレームの外部導出リード部領域および他の半導体装置との接続部を除いた領域に絶縁性樹脂を被覆固着した半導体装置の前記リードフレームの接続部と、半導体素子を收容したリードレス、パッケージの端子パッドの相対応する部位を接着してスタック構造としたことを特徴とする半導体装置。

3. 考案の詳細な説明

本考案は半導体装置に係り、特に2個以上の半導体装置をスタック構造にした半導体装置の改良に関するものである。

かねてより半導体記憶装置の記憶容量を2倍あるいは3倍に増大する目的で、半導体記憶装置の完成体を2個あるいは3個積み重ね、相対応する

外部導出リードを半田等で接着したスタック構造半導体装置が用いられる。

第1図は従来例の1:を示す要部断面図で半導体記憶素子1を2つの側面に外部導出リード2を配設してなるDual In-^{line}Package（以後DIPと略す）3に收容した半導体記憶装置を2個積み重ね、相対応する外部導出リード2を半田4で接着したスタック構造半導体装置である。

上記従来構造のスタック構造半導体装置はDIPの単価が比較的高いため高価となり、しかも該半導体装置を搭載するプリント基板の端子ピッチがDIPの外部導出リード2の配設ピッチに一致させねばならず、最近のように使用者からの複雑な要求に対応するためには種々の問題があった。

本考案の目的は前記のような欠点を解消し、安価でしかも任意のプリント板に実装可能なスタック構造半導体装置を提供することになり、簡単にのべるとリードフレームに半導体素子を着設し、リードフレームの外部導出リード部領域および他の半導体装置との接続部を除いた領域に絶縁性樹

脂を以て覆固めた半導体装置の前記リードフレームの接続部と半導体素子を収容したリードレスパッケージの端子パッドの相対応する部位を接着してスタック構造としたことを特徴とするものである。以下本考案の好ましい実施例について図面を参照して説明する。

第2図は本考案の半導体装置の一実施例を示す断面図であって、リードフレーム5を整形して外へ導出リード部5aおよび接続部5bを形成し、かつ半導体素子1を組線により接続した状態でリードフレーム5の外部へ導出リード部5aおよび接続部5bを除く領域（半導体素子1を含む）をたとえばエポキシ樹脂等の絶縁性樹脂をトランスファーモールド或はインジェクションモールド方式等によって被覆層6を形成して一方の半導体装置を形成する。別に半導体素子1を端子パッド7aに電氣的に接続した状態でリードレスパッケージ7に着設収容した他の半導体装置を形成する。しかし2個の半導体装置の相対応する端子パッド7aと接続部5bを融点150℃以下の半田4で接

着してスタック構造の半導体装置が完成する。

このように構成されたスタック構造の半導体装置においてリードフレーム5は安価なため従来のDIPに比べて安価となり、かつリードフレーム5の構造を選択することにより任意の形状がとれ各種プリント基板に適合した大量生産向きで取替可能な半導体装置を製作することができる。

本考案は前記実施例に限定されることなく、さらに種々変形して実施できる。たとえばリードレスパッケージ7を使用せずに第1図に示すようなDIPの外部導出リード2を整形してリードフレーム5の接続部5bと接着してもよい。また半導体素子の取付け方向は実施例と反対に取付けてもよい。

以上の説明から明らかなように本考案の半導体装置によれば半導体素子を着設したリードフレームに接続部を形成した状態で絶縁性樹脂を被覆固着し、前記接続部に他の半導体装置を接続することで安価でしかもリードフレームの構造を選択することにより任意の形状の半導体装置がえられ、

多様な需要者の要求に応ずることができ、これを
イレイザブルリードオンメモリ (E R O M) 等
の半導体記憶装置に適用してきわめて有効である。

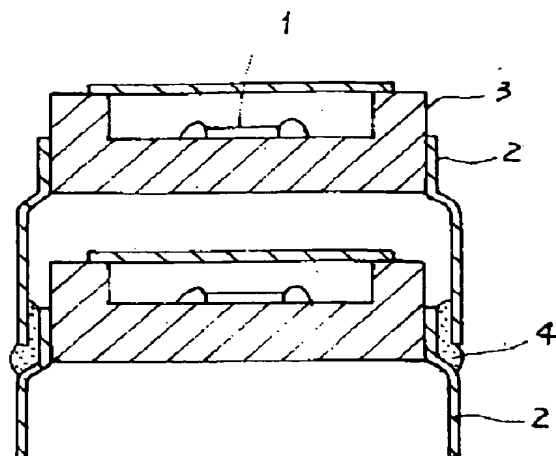
4. 図面の簡単な説明

第1図は、従来のスタック構造の半導体装置を
示す要部断面図、第2図は本考案に係るスタック
構造の半導体装置の一実施例を示す要部断面図で
ある。

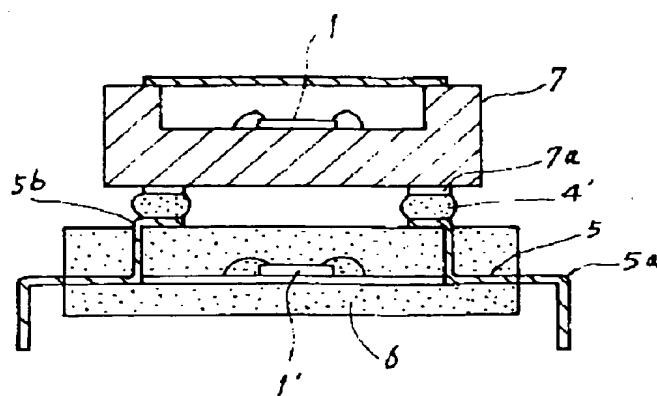
図において1、1は半導体素子、2は外部導出
リード、3はDIP、4、4は半田、5はリード
フレーム、5aは外部導出リード部、5bは接続
部、6は被覆層7はリードレスパッケージ、7a
は端子パッドである。

代理人 弁理士 松 岡 宏 四郎

第 1 図



第 2 図



87544

代理人 佐理士 松岡三三三